

Réalisation d'un partitionneur de maillage sur GPU.

Résumé :

La grande majorité des simulations numériques actuelles repose sur un maillage, c'est-à-dire une discrétisation du domaine physique de l'étude. La complexité et la taille des phénomènes physiques mis en jeu rendent l'utilisation de machines parallèles indispensable. Il est alors nécessaire de répartir correctement la charge de calcul afin de tirer parti au mieux des différentes ressources de calcul. Cette répartition de charge est le plus souvent réalisée au moyen d'un partitionnement du maillage. Actuellement, les phases de calculs de la simulation peuvent bénéficier d'accélération matérielle (GPU, ...) mais les étapes non calculatoires comme le partitionnement n'en tirent pas parti, pouvant devenir de ce fait le goulot d'étranglement de la simulation.

Le but de ce stage est d'étudier la pertinence de l'utilisation de GPU pour le calcul du partitionnement du maillage. Les principales étapes de ce stage seront *a priori* :

1. Conception et réalisation sur GPU d'un outil de partitionnement géométrique de type RCB (Recursive Coordinate Bisection) et RIB (Recursive Inertial Bisection). L'implantation se fera certainement à l'aide de la bibliothèque THRUST [1]. Une comparaison avec les implantations CPU contenues dans ZOLTAN [2] sera réalisée.
2. Conception et réalisation d'un partitionneur topologique (c-à-d de graphe) par l'utilisation d'un post-traitement à l'aide d'un algorithme de diffusion. En pratique, une possibilité sera d'utiliser une modélisation matricielle du problème et d'implanter un prototype à l'aide de la bibliothèque TPETRA du projet TRILINOS [3].
3. Évaluer les performances de la plateforme GPU en comparant aux logiciels actuels ainsi qu'à des approches multi-threadées.

Pour mener à bien ce travail, une étude bibliographique d'articles de recherche devra être effectuée. Une bonne maîtrise de la programmation orientée objet (C++) ainsi que des notions d'algèbre linéaire (creuse) seront également nécessaires. Des connaissances en architecture et en algorithmique parallèle (MPI) sont les bienvenues.

Mots-clés : partitionnement de maillage, GPGPU, multi-thread, HPC

Pré-requis : Ce stage s'adresse à des étudiants de M2 en informatique/mathématiques appliquées ou à des étudiants en dernière année d'école d'ingénieur ayant des connaissances en informatique scientifique.

Conditions du stage : ...

Contact : Cédric Chevalier (cedric.chevalier@cea.fr), CEA-DAM Île de France, Département Science de la Simulation, Bruyères-le-Châtel.

Références :

[1] THRUST, C++ template library for CUDA, <http://code.google.com/p/thrust/>

[2] ZOLTAN: Data-Management Services for Parallel Applications, SNL, <http://www.cs.sandia.gov/Zoltan>

[3] TRILINOS, SNL, <http://trilinos.sandia.gov/>