

ARCHITECTURE DES ORDINATEURS

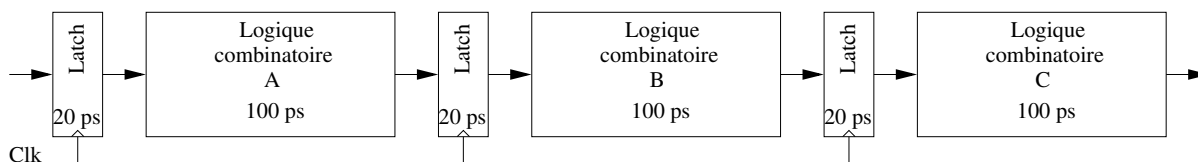
TD : 11

PIPE-LINES

**Exercice 1 : Calculs de performance**

**Question 1**

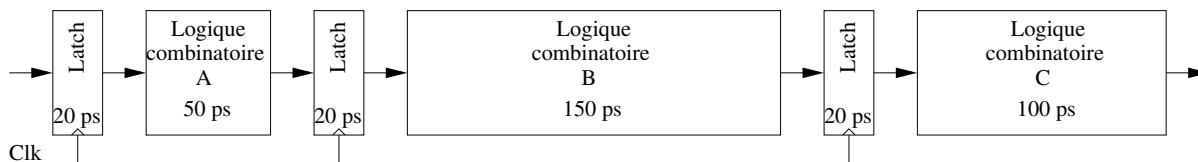
Le schéma ci-dessous représente un pipe-line à 3 étages. L'unité de temps est la pico-seconde (ps), qui vaut  $10^{-12}$  seconde.



Quelle est la durée minimale du cycle d'horloge ? Quelle est la latence de ce pipe-line, c'est-à-dire la durée d'exécution d'une instruction, comprise comme la durée entre le moment où elle rentre dans le premier bloc combinatoire, et le moment où elle sort du dernier latch ? Quel est le débit maximal du pipe-line, en Gops (Giga-opérations par seconde – 1 Giga =  $10^9$ ) ?

**Question 2**

Le schéma ci-dessous représente un pipe-line équivalent, toujours à 3 étages, mais pour lequel les trois blocs logiques n'ont pu être équilibrés.



Quelle est la durée minimale du cycle d'horloge ? Quel est le débit maximal de ce pipe-line, en Gops (Giga-opérations par seconde) ? Quelle est sa latence, c'est-à-dire la durée d'exécution d'une instruction ?

**Exercice 2 : Création de pipe-line**

On suppose qu'on a découpé les circuits combinatoires qui composent une instruction en six blocs A à F de durées respectives 80, 60, 30, 50, 70 et 10 ps. Ces blocs doivent être exécutés l'un après l'autre, dans cet ordre, après quoi on charge un registre au prochain front d'horloge. La durée de chargement d'un registre est de 20 ps.

**Question 1**

Insérer un seul registre intermédiaire fournit un pipeline de profondeur 2. Où faut-il insérer ce registre pour obtenir un débit maximal ? Calculer alors la durée du cycle d'horloge, le débit et la latence.

## Question 2

Mêmes questions en insérant deux registres intermédiaires, pour créer un pipe-line de profondeur 3.

## Question 3

Quel est le pipe-line de profondeur de débit maximum? (on essaiera de limiter un peu la latence). Fournir une description et une analyse des performances comme précédemment.

## Question 4

Echanger les durées de B et C et traiter à nouveau la question précédente.

## Pour aller plus loin...

### Exercice 3 : Multiplexage

Lorsqu'un étage est trop coûteux et indivisible, on peut le multiplexer, cest-à-dire utiliser en alternance deux exemplaires de l'étage en question.

#### Question 1

Dessinez le schéma correspondant au multiplexage de l'étage B dans la question 2 de l'exercice 1. On considèrera que le coût de traversée d'un multiplexeur est égal à celui d'un *latch*. Expliquez son fonctionnement.

#### Question 2

Répondre aux questions de l'exercice 1 sur la base du circuit multiplexé.

### Exercice 4 : Création de pipe-line

Quel débit maximum théorique pourrait-on atteindre si l'on pouvait décomposer un circuit en blocs de taille arbitrairement petite? Quelle latence obtiendrait-on alors?